

BOUCLE A VERROUILLAGE DE PHASE (4046)

Le but de ce TP est de caractériser la boucle à verrouillage de phase en statique et en dynamique, puis d'en définir les plages de capture et de maintien. En tant que système asservi, on n'omettra pas de vérifier les conditions de stabilité du système.

1 Brefs rappels théoriques

2.1 Généralités

Une boucle à verrouillage de phase, communément appelée P.L.L. (Phase Locking Loop) est un système asservi qui met en œuvre plusieurs fonctions élémentaires qui sont :

- . Un comparateur de phase (C.P.) ;
- . Un filtre Passe-Bas ;
- . L'oscillateur commandé en tension (O.C.T. en français, V.C.O. en anglais)

Le but de cette boucle est d'asservir la phase de l'O.C.T. ϕ_S dite phase locale, à une phase d'entrée ϕ_E injectée sur le système et ceci afin de caler la fréquence locale f_S de l'OCT sur la fréquence d'entrée f_E .

Si cela fonctionne la boucle est dite verrouillée et la pulsation de l'O.C.T. ω_S (i.e. f_S) est identique à la pulsation du signal d'entrée ω_E (i.e. f_E).

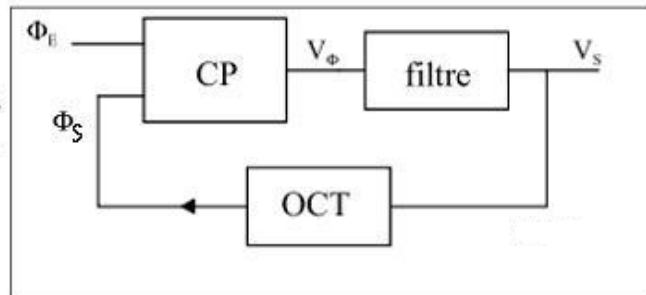
La condition de verrouillage s'écrit donc :

$$\omega_S = \omega_E$$

Nous rappelons que ω est la pulsation instantanée.

Comme $\omega = \frac{d\phi}{dt} \rightarrow \phi_E(t) - \phi_S(t) = c^{te}$ lorsque

la boucle est verrouillée et que le signal d'entrée est stationnaire (ne change pas).



2.2 Les fonctions élémentaires

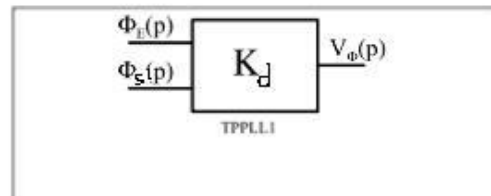
2.2.1 Le comparateur de phase (C.P.) :

2.2.1.1 Rôle :

Il élabore une tension proportionnelle à l'écart de phase entre les deux signaux qui lui sont appliqués.

- indice S
- indice E pour entrée

Fonction de transfert : $V_\phi(p) = K_D [\phi_E(p) - \phi_S(p)]$



2.2.1.2 Comparateur de phase à OU-Exclusif

Les signaux sont numériques, on peut utiliser un OU exclusif qui est un comparateur numérique. Dans ce cas, nous aurons les diagrammes ci-contre :

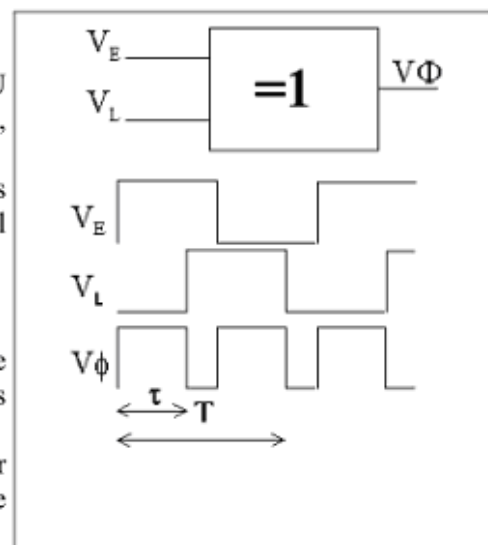
Si nous désignons par V_o l'amplitude des signaux, nous constatons que nous avons la valeur moyenne du signal de sortie :

$$\langle V(t) \rangle = \frac{\tau}{T} \cdot V_o = \frac{V_o}{\pi} (\phi_E - \phi_L)$$

On constate donc que la valeur moyenne du signal de sortie est proportionnelle à l'écart de phase entre les signaux des entrées.

Il faut donc associer un filtre passe-bas au comparateur de phase, pour supprimer les composantes élevées de $V_\phi(t)$, sans en affecter la valeur moyenne.

La constante K_D vaut : $K_D = \frac{V_o}{\pi}$



2.2.2 Le filtre passe-bas (F.P.B.) :

2.2.2.1 Rôle

Le filtre est inséré dans la boucle, son rôle est double :

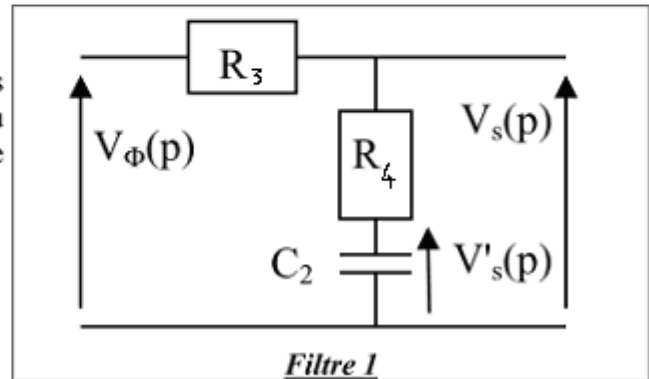
- Comme nous l'avons mentionné, il assure le filtrage du signal (obtenir la valeur moyenne du signal qui est un signal continu si le signal d'entrée ne change pas) à la sortie du C.P. ; c'est donc nécessairement un passe-bas.
- Comme il intervient dans la fonction de transfert globale du système, il permet de maîtriser les performances de la boucle, particulièrement la stabilité de la boucle. Il se comporte comme un correcteur (avance et retard de phase ou encore composantes passe-haut et passe-bas de sa fonction de filtrage).

2.2.2.2 Constitution

De façon à pouvoir répondre aux deux critères précédents, le filtre Passe-bas devra avoir au moins deux constantes de temps, d'où la structure ci-contre pour le premier filtre.

Nous poserons : $\tau_1 = R_3 C_2$ et $\tau_2 = R_4 C_2$

Sa fonction de transfert est :
$$\frac{V_s(p)}{V_\phi(p)} = \frac{1 + \tau_2 p}{1 + (\tau_1 + \tau_2) p}$$



2.2.3 L'oscillateur commandé en tension (O.C.T.) :

2.2.3.1 Rôle

Il fournit un signal périodique (carré) d'amplitude constante dont la pulsation (i.e. la fréquence) varie proportionnellement à la tension appliquée sur son entrée.

$$\Delta\omega_s(t) = K_O \Delta v_s(t)$$

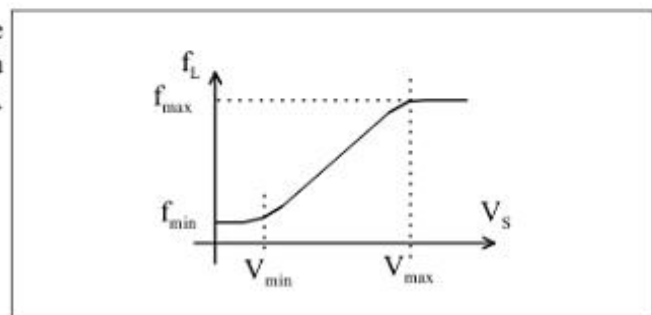
(K_O : constante de l'O.C.T.)



2.2.3.2 Fonction de transfert :

Si $\Omega_s(p)$ représente la transformée de Laplace des variations $\Delta\omega_s$ de ω_s dans la zone linéaire autour de ω_0 , nous avons : $\Omega_s(p) = K_O V_s(p)$

Il est évident que cette relation n'est valable que dans un domaine bien déterminé. On peut tracer la fonction $\omega(V_s)$ pour l'O.C.T. On obtient généralement l'allure suivante :



2.3 Les divers états de fonctionnement

Ces divers types de fonctionnement sont ici simplement rappelés et non analysés dans le détail.

2.3.1 Boucle non verrouillée : fréquence naturelle ω_0 du PLL

Si la boucle n'est pas verrouillée, alors $\alpha_s \neq \omega_E$ et dans ce cas, l'O.C.T. oscille sur sa pulsation naturelle ω_0 .

Le signal v_L est sans cohérence avec v_E ; le signal v_ϕ en sortie du comparateur de phase est une tension variable de fréquence $|\alpha_s - \omega_E|$ et de valeur moyenne $V_0/2$.

On peut en déduire que la fréquence naturelle ω_0 est la pulsation en sortie d'OCT correspondant à une tension d'entrée de $V_0/2$.

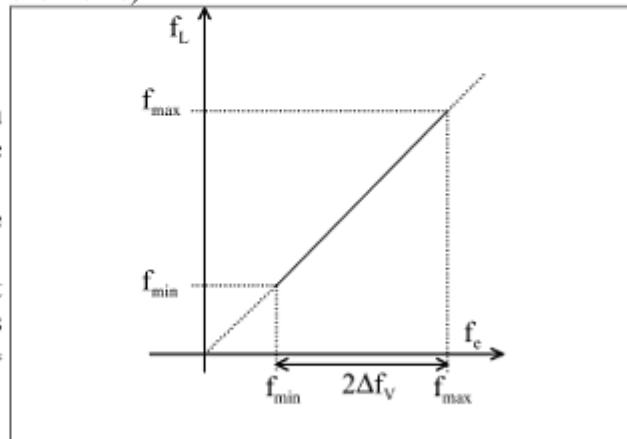
Cas particulier : la boucle n'est pas verrouillée lorsque, en outre, on applique un signal continu à l'entrée de la PLL (par exemple si l'entrée est à la masse).

2.3.2 Boucle verrouillée

Nous appellerons plage de verrouillage ou plage de poursuite l'excursion de fréquence pour laquelle nous avons : $\alpha_s = \omega_E$.

On dit que l'O.C.T. poursuit la fréquence incidente (ou fréquence d'entrée).

La variation maximale de fréquence est limitée par f_{max} et f_{min} (fréquences extrêmes du VCO), la plage de verrouillage est $2\Delta f_v = (f_{max} - f_{min})$.



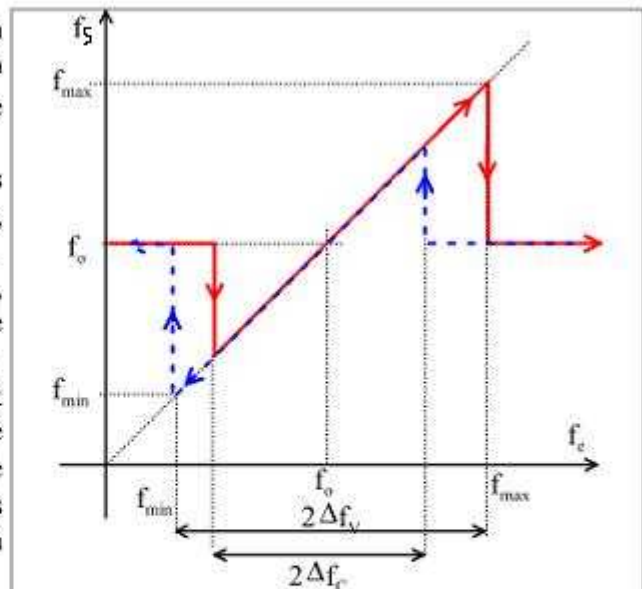
2.3.3 Diagramme de changement d'état

Lorsque la boucle n'est pas verrouillée, la fréquence f_s en sortie de l'OCT est la fréquence naturelle f_0 ; il est possible de passer à l'état verrouillé en agissant sur la fréquence en entrée f_E : le verrouillage se produit lorsque l'écart $|f_s - f_0|$ est suffisamment faible. on dit alors qu'il y a capture.

Cet état est obtenu lorsque la fréquence f_E se situe à l'intérieur d'une plage appelée plage de capture notée Δf_c . Remarquons que $2\Delta f_c < 2\Delta f_v$.

Le diagramme représenté ci-contre met en évidence l'évolution de f_s en fonction de f_E . On observe un phénomène d'hystérésis dans le processus global capture-poursuite.

- Si on suppose que la boucle n'est pas verrouillée alors $f_s = f_0 \neq f_E$ et dans ce cas, l'O.C.T. oscille sur sa fréquence naturelle f_0 .
- Lorsque l'on diminue la différence $|f_E - f_0|$, elle devient plus petite que la gamme de capture Δf_c et la boucle se verrouille : $f_s = f_E$.
- Si on poursuit l'expérience, en partant de cet état verrouillé, en augmentant la différence $|f_E - f_0|$, on dépassera la gamme de verrouillage Δf_v . L'O.C.T. ne pouvant plus suivre, il va alors décrocher et osciller à sa pulsation naturelle $f_s = f_0 \neq f_E$.

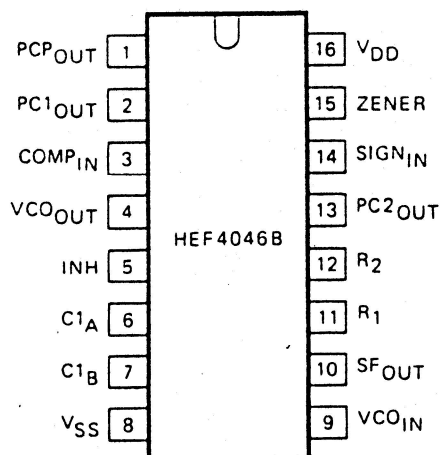
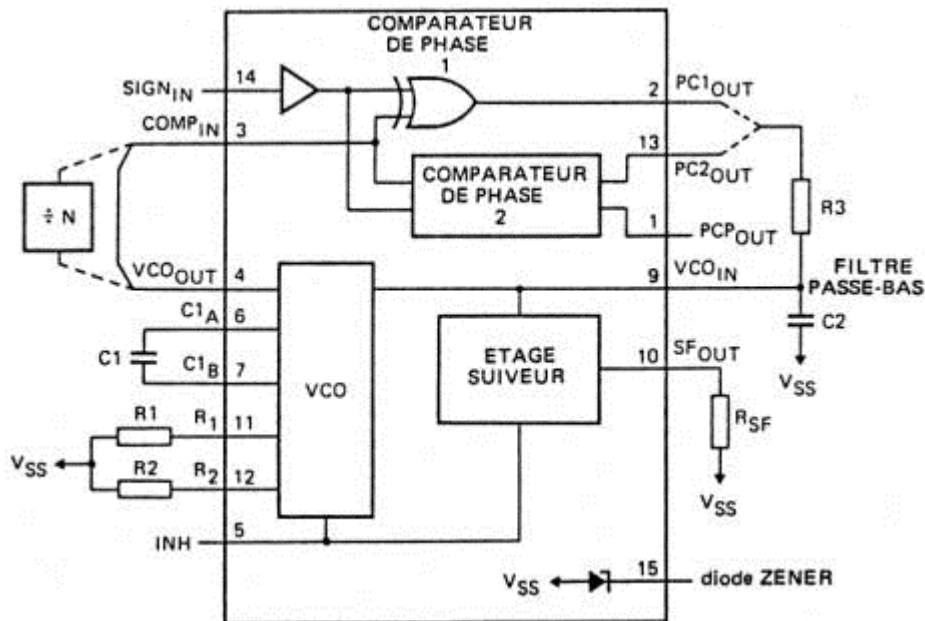


Nous constatons qu'il y a un phénomène d'hystérésis dans les phénomènes de poursuite et de capture.

2 Présentation du circuit intégré 4046

L'étude expérimentale de la PLL sera réalisée grâce au composant HCF4046 qui est un circuit intégré de la famille CMOS 4000. Il se compose d'un oscillateur linéaire commandé en tension (OCT ou VCO) et de deux comparateurs de phase au choix. C'est un circuit intégré « classique » pour réaliser une boucle à verrouillage de phase numérique. Les applications les plus courantes de la PLL (Phase Locked Loop) sont la démodulation de fréquence, la synthèse de fréquence, la reconstitution de porteuse dans certains cas de démodulation AM, décodeur stéréophonique ...

Schéma équivalent et brochage en boîtier DIL :



BROCHAGE

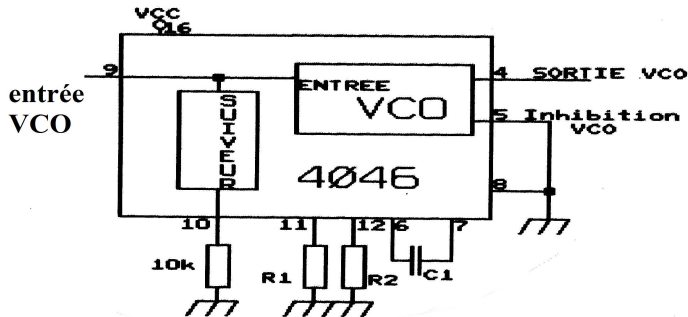
1. sortie d'impulsion du comparateur de phase
2. sortie du comparateur de phase 1
3. entrée du comparateur
4. sortie du VCO
5. entrée d'Inhibition
6. connexion A du condensateur C1
7. connexion B du condensateur C1
8. VSS
9. entrée du VCO
10. sortie de l'étage suiveur
11. connexion de la résistance R1
12. connexion de la résistance R2
13. sortie du comparateur de phase 2
14. entrée des signaux
15. entrée de la diode Zener, régulatrice de tension.

Fig. 2 Brochage.

3 Travaux pratiques

I ETUDE STATIQUE DE LA PLL

Ia) Etude du VCO



Le circuit sera alimenté par une tension $V_{cc} = 15\text{ V}$. Il est nécessaire de découpler l'alimentation par un condensateur de $4,7\ \mu\text{F}$.

On prend $C_1 = 470\ \text{pF}$, $R_1 = R_2 = 100\ \text{k}\Omega$. (ces valeurs sont à obtenir précisément)

En utilisant la documentation technique du 4046 (annexe 1), déterminer F_{\min} , F_{\max} , F_L et f_0 .

On donne $F_{\min} = F_0 - F_L$ et $F_{\max} = F_0 + F_L$.

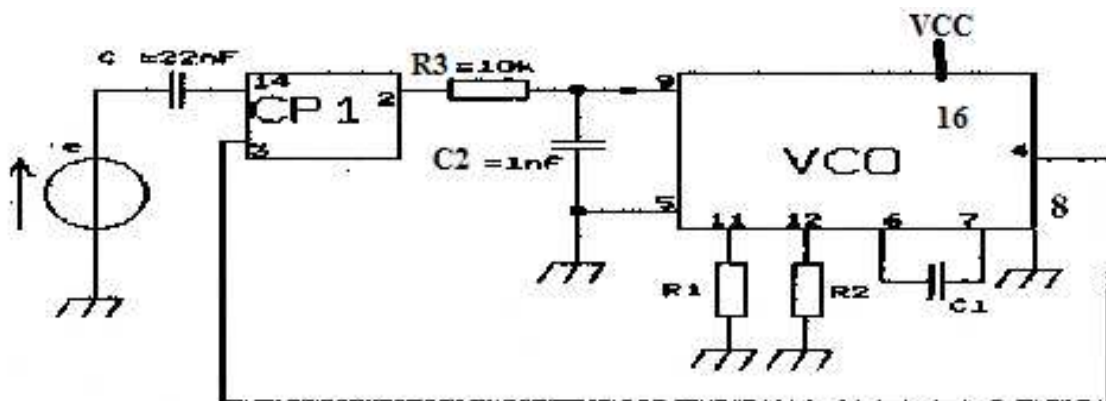
Tracer la fréquence du signal de sortie V_4 (nommée f_s) en fonction de V_9 pour V_9 variant de $0\ \text{V}$ à $16\ \text{V}$.

En déduire la pente K_0 du VCO ($K_0 = \Delta\omega/\Delta u\ \text{rd}\ \text{V}^{-1}\ \text{s}^{-1}$) et la fréquence F_0 .

Comparer F_{\min} et F_{\max} aux valeurs effectivement obtenues.

Ib)- Etude du comparateur de phase 1 (CP1)

Le tracé de la caractéristique du comparateur de phase s'effectue ici lorsque le système est bouclé.



Mesurer précisément la résistance R_3 et C_2 du filtre passe bas. Câbler le montage et visualiser à l'oscilloscope V_{14} , V_4 et V_9 . Conclure.

Tracer la tension V_9 (mode DC du voltmètre) en fonction du déphasage $\Phi_e - \Phi_s$ lorsque la PLL est verrouillée ($F_e = F_s$).

En déduire la pente K_d de la caractéristique (V/rad). Comparer la à la valeur théorique.

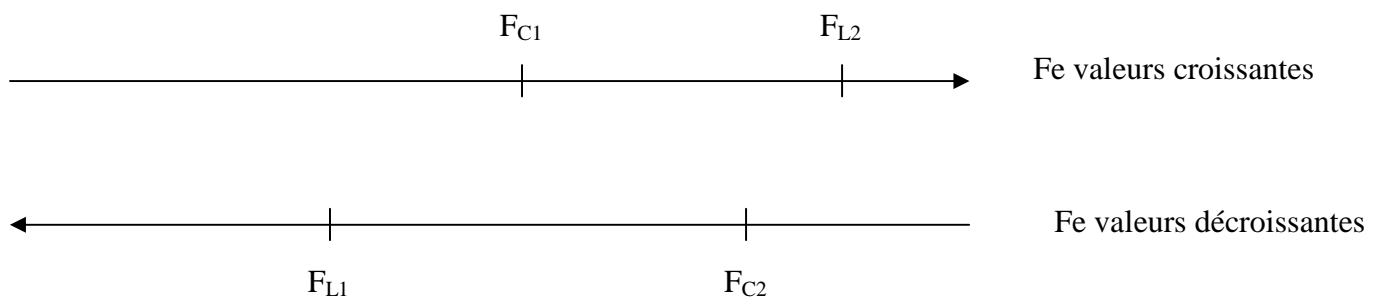
II ETUDE DYNAMIQUE DE LA PLL

II a) Stabilité de la PLL

A l'aide de l'annexe 2, déterminer si le système est stable ou non pour une résistance R_3 égale à 10 Kohms et des capacités C_2 égales à 1 nF ou 10 nF. A quoi sert le filtre passe bas ? Expliquer le compromis stabilité /filtrage et trouver une solution. Par un souci de simplicité de câblage, le filtre passe bas sera par la suite constitué de R_2 et C_3 seulement ($R_4 = 0$).

II b) Mesure des fréquences d'accrochage (capture range) et de verrouillage (lock in range)

En augmentant progressivement la fréquence F_e du signal d'entrée, noter la fréquence F_{C1} où la PLL se verrouille (Visualiser V_{14} et V_4). En continuant d'augmenter F_e , noter la fréquence F_{L2} où la PLL décroche. Faire la même étude pour les valeurs décroissantes de F_e , noter les fréquences F_{C2} et F_{L1} .



En déduire les plages de capture $F_{C2} - F_{C1} = 2 \Delta F_C$ et de verrouillage $F_{L2} - F_{L1} = 2\Delta F_L$. Refaire les mesures pour une capacité $C_2 = 10$ nF.

Expliquer les phénomènes de déverrouillage et de capture puis comparer vos résultats aux valeurs théoriques trouvées dans la notice technique.

II c) Verrouillage sur les harmoniques

Pour $C = 1$ nF, la boucle étant verrouillée, visualiser les tensions V_4 et V_{14} . Faire varier la fréquence du signal d'entrée de 0 à 100kHz. Que se passe t-il ? Conclure quant-à l'utilisation de ce dispositif pour une restitution de porteuse AM en vue d'une détection synchrone.

II d) Modélisation du système bouclé d'ordre 2

Le but de cette manipulation est d'observer la réponse de la PLL à un échelon indiciel appliqué à l'entrée de la PLL.

Il s'agit d'un échelon de fréquence F_e . Ce dernier sera obtenu à l'aide d'un générateur Agilent en réalisant une modulation de fréquence. Il s'agit d'une modulation FSK réalisée à partir d'un échelon de tension interne noté $U_{modulant}$. La fréquence F_e doit être comprise dans la plage de capture. La tension interne $U_{modulant}$ est un signal carré de fréquence égale à 100Hz ou à 1 Hz selon les mesures à effectuer.

L'échelon de fréquence F_s en sortie de la PLL est observable sur la patte 9 (entrée du VCO de la PLL). Pourquoi ?

On choisira C2 égale à 10 nF.

Régler le générateur Agilent pour réaliser la modulation FSK . Vérifier que la PLL est bien verrouillée. Observez à l'oscilloscope la tension V9 . Conclure.

On modélise la PLL par un système du second ordre de fonction de transfert $T(p) = F_s(p)/F_e(p)$ avec

$$T(p) = \frac{1}{\omega_0 \left(\frac{p^2}{\omega_0^2} + 2 \frac{m}{\omega_0} p + 1 \right)}$$

En observant V9, mesurer le dépassement d et la pseudopulsation ω_p . Comparer ces valeurs aux valeurs théoriques.

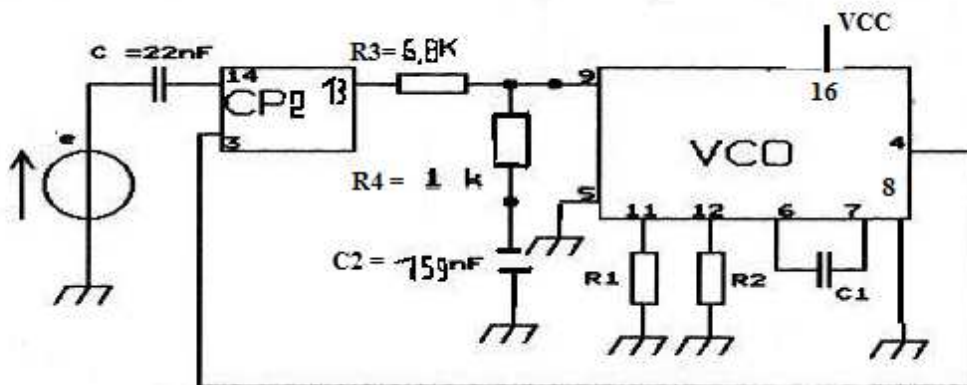
On donne : Dépassement $d = \exp\left(\frac{-\pi m}{\sqrt{1-m^2}}\right)$

Pseudo Pulsation $\omega_p = \omega_0 \cdot \sqrt{1-m^2}$

avec

$$\omega_0 = \sqrt{\frac{K_o K_d}{\tau}} \quad \text{et} \quad m = \frac{1}{2} \cdot \sqrt{\frac{1}{K_o \cdot K_d \cdot \tau}}$$

III MEME ETUDE AVEC LE COMPAREUR DE PHASE 2



Principe du comparateur de phase 2 :

- Si V_3 est en avance de phase par rapport à V_{14} , V_{13} est mis à zéro pendant un temps proportionnel à ce déphasage.

C se décharge alors à travers R et V_9 diminue, donc la fréquence F_3 également. V_3 se trouve donc "retardé".

- Si V_3 est en retard de phase par rapport à V_{14} , V_{13} est mis à V_{CC} pendant un temps proportionnel à ce déphasage.

C se charge alors à travers R et V_9 augmente, donc la fréquence F_3 également. V_3 se trouve donc "avancé".

- Si V_3 et V_{14} sont en phase, V_{13} est à l'état haute impédance. C reste alors chargé, donc $V_9 = \text{cte}$ et $F_3 = \text{cte}$.

III a) Stabilité de la PLL

A l'aide de l'annexe 2, déterminer si le système est stable ou non pour une résistance R_3 égale à 6.8 Kohms, R_4 à 1 Kohm et une capacité C_2 égale à 159 nF.

III b) Mesure des fréquences d'accrochage (capture range) et de verrouillage (lock in range)

Mesurer les fréquences de verrouillage et de capture. Comparer les avec les valeurs théoriques données dans la documentation technique.

III c) Verrouillage sur les harmoniques

Visualiser V_4 et V_{14} lorsque la boucle est verrouillée. Faire varier F_e de 0 à 100 KHz. Existe-t-il un verrouillage sur les harmoniques sur la fréquence d'entrée.

Conclure quant-à l'utilisation de ce dispositif pour une restitution de porteuse en modulation d'amplitude (AM) en vue d'une détection synchrone pour une émission de France Inter par exemple (162 KHz).

Bibliographie :

« Boucles à verrouillage de phase » Michel Girard Edisciences
<ftp://ftp.discip.crdp.ac-caen.fr/discip/physapp/bts/electronique/107.pdf>
<http://iut-tice.ujf-grenoble.fr/tice-espaces/GTR/tn/monsite/modtn/tp/TextesTP/cycle2A-1/PLL/TpPll.pdf>

Annexe 1 : DOCUMENTATION TECHNIQUE DU 4046 (EXTRAIT)

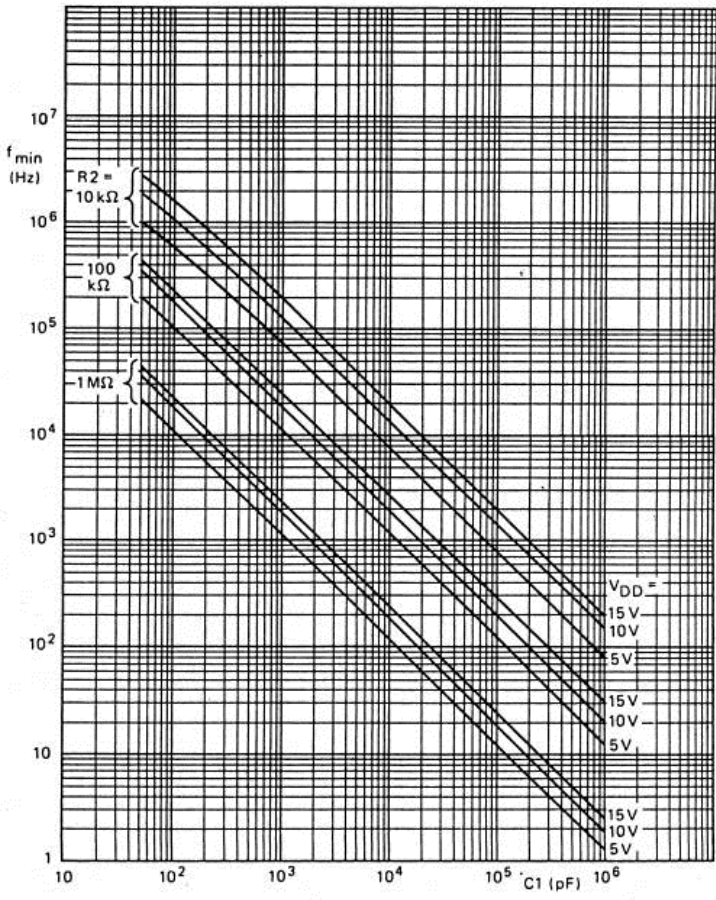


Fig. 8 Typical frequency offset as a function of capacitor C1; $T_{amb} = 25\text{ }^{\circ}\text{C}$; V_{COINH} at V_{SS} ; INH at V_{SS} ; $R1 = \infty$.

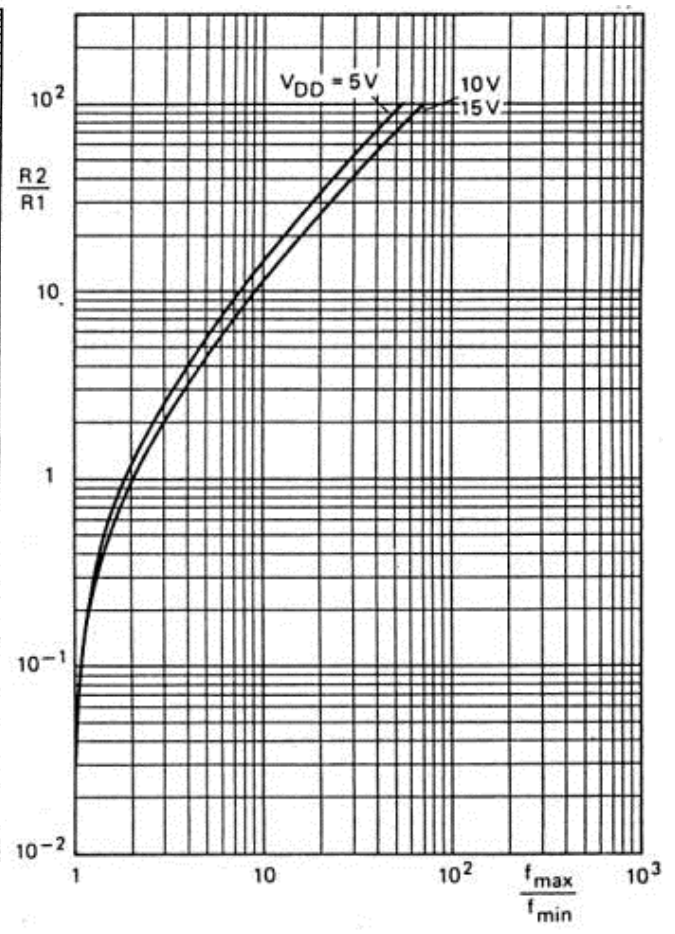
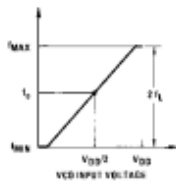
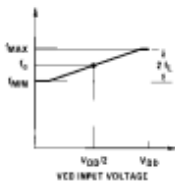
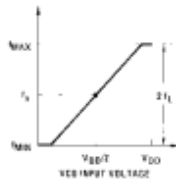
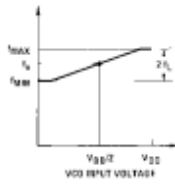




Fig. 9 Typical ratio of $R2/R1$ as a function of the ratio f_{max}/f_{min} .

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: $R_1, R_2 \geq 10 \text{ k}\Omega$, $R_G \geq 10 \text{ k}\Omega$, $C_1 \geq 50 \text{ pF}$.

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for R_1, R_2 and C_1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R_2 = \infty$	VCO With Offset	VCO Without Offset $R_2 = \infty$	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L = \text{full VCO frequency range}$ $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$		$2f_C \approx \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{\tau_1}}$	$f_C = f_L$	
Loop Filter Component Selection		For $2f_C$, see Ref.		
Phase Angle Between Single and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

ANNEXE 2 : ETUDE DE LA STABILITE

PLL: schéma bloc, fonctions de transfert, stabilité.

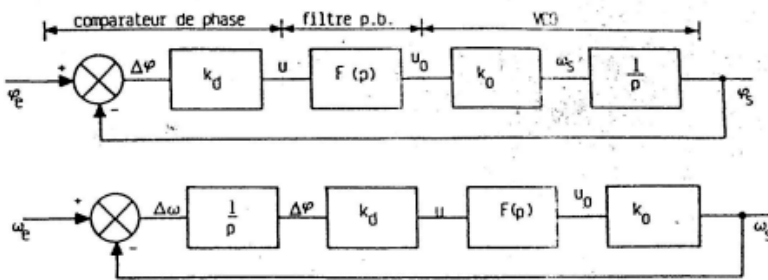
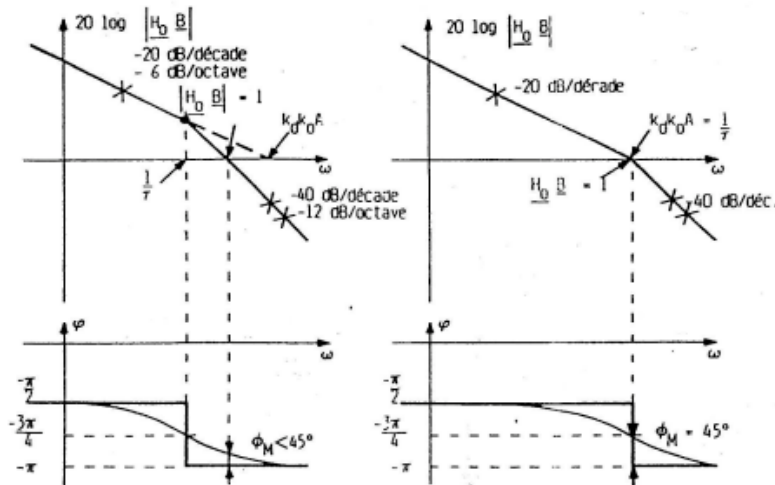


Schéma-bloc en grandeurs phases

Schéma-bloc en grandeurs pulsations



Comparateur 1 et réseau $R_3 C_2$ ($R_4 = 0$)

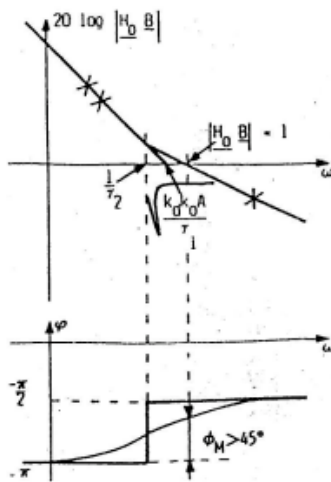
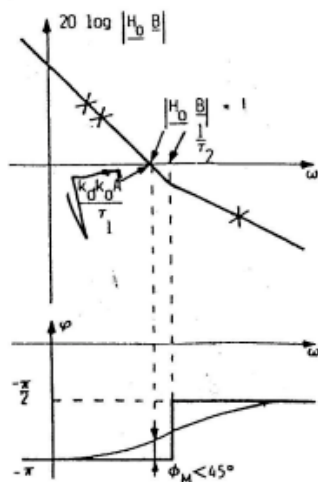
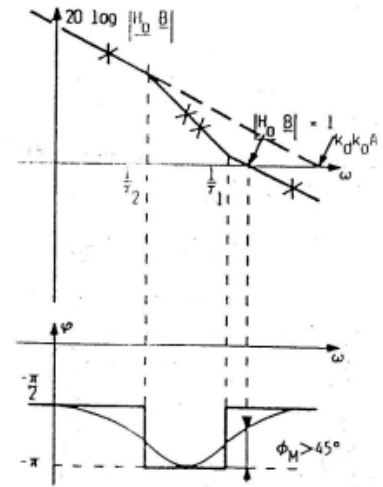
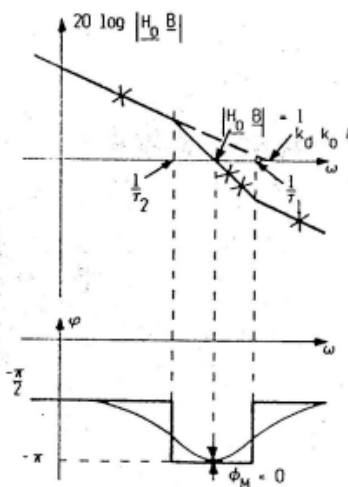
$$H_o(p) = \frac{K_d K_o}{p(1 + \tau p)}$$

$$\tau = RC$$

Comparateur 1 et réseau $R_3 C_2 R_4$

$$H_o(p) = \frac{K_d K_o (1 + \tau_1 p)}{p(1 + \tau_2 p)}$$

$$\tau_1 = R_3 C_2 \quad \tau_2 = (R_3 + R_4) C$$



Comparateur 2 et réseau $R_3 R_4 C_2$

$$H_o(p) = \frac{K_d K_o (1 + \tau_1 p)}{\tau_1 p^2}$$

$$\tau_1 = R_3 C_2$$

$$\tau_2 = R_4 C_2$$

DOCUMENT REPONSE : Travaux pratiques

I caractéristiques statiques

Ia) caractéristique statique du VCO

V9(mode DC voltmètre)							
Fs (Hz)							

Pente K_o expérimentale(rad/s/V) =

Pente K_o théorique(rad/s/V) =

F_o =

F_{min} =

F_{max} =

Ib) caractéristique statique du comparateur de phase

$R_{3mesurée}$ =

$C_{2mesurée}$ =

Conclusion des chronogrammes V14, V4 et V9 :

V9(mode DC voltmètre)							
$\Phi_e - \Phi_s$ (°)							

Pente K_d expérimentale (V/rad) =

Pente K_d théorique (V/rad) =

II caractéristiques dynamiques : Comparateur de phase 1 et filtre passe bas1

IIa) stabilité

IIb) Mesure des plages de verrouillage et de capture

Valeurs de C2	Plage de verrouillage expérimentale $2 \Delta F_L$	Plage de verrouillage théorique $2 \Delta F_L$	Plage de capture expérimentale $2 \Delta F_C$	Plage de verrouillage théorique $2 \Delta F_L$
C=1nF				
C = 10 nF				

Explications des phénomènes de capture et de déverrouillage

II c) Modélisation du système d'ordre 2

Valeurs de C2	dépassement expérimental d	dépassement théorique d	Pseudo Oscillation Expérimentale ω_p	Pseudo Oscillation théorique ω_p
C=10 nF				

m théorique = ω_o theorique =

II d) Verrouillage sur harmoniques

III caractéristiques dynamiques : Comparateur de phase 2 et filtre passe bas 2

IIIa) stabilité

IIIb) Mesure des plages de verrouillage et de capture

Valeurs de C2	Plage de verrouillage expérimentale $2 \Delta F_L$	Plage de verrouillage théorique $2 \Delta F_L$	Plage de capture expérimentale $2 \Delta F_C$	Plage de verrouillage théorique $2 \Delta F_L$
C=159 nF				

Étude des phases de V14, V4 et V9 :

III c) verrouillage sur harmoniques